



TITLE:

パルスプロセッサ用演算回路(多値論理及びその応用(4))

AUTHOR(S):

佐藤, 丞; 三浦, 守

CITATION:

佐藤, 丞 ...[et al]. パルスプロセッサ用演算回路(多値論理及びその応用(4)). 数理解析研究所講究録 1989, 687: 215-232

ISSUE DATE:

1989-04

URL:

<http://hdl.handle.net/2433/101241>

RIGHT:

パルスプロセッサ用演算回路

岩手大学工学部 佐藤 丞 (Susumu SATOU)

岩手大学工学部 三浦 守 (Mamoru MIURA)

1. はし が き

周知のように，センサはある物理変数をそれに対応した電気信号に変換する信号変換器として主に用いられるが，ほとんどのセンサによって検出される信号パラメータは，通常アナログ量である．唯一の重要な例外として，放射線量，交通量及び電動機やエンジンの回転などのように，離散的現象を数える場合があり，このときの信号パラメータは，時系列パルスの形（以後，このような信号をパルス列信号と呼ぶ）である⁽¹⁾．

このようなパルス列信号を処理するための，例えば計測・制御システム（マイクロプロセッサセンサベースシステム）を考えると，パルス列信号をセンタ・プロセッサへ忠実に伝送し，かつ2進ディジタル信号へ変換することが必要である．しかしながら，パルス列信号を処理するためにはある一定の

ゲート時間を要するので、これは必然的にセンタ・プロセッサの動作速度や稼働率を低下させる要因となる⁽²⁾。そこで著者らは、パルス列信号の処理を直接的に実行する方式を検討し、既にパルス列信号処理用ユニバーサル演算モジュール[UAM⁽³⁾, UAMR⁽⁴⁾,⁽⁵⁾]を提案した。

一方、最近生体の情報処理に関連して神経回路網の研究が活発化しているが⁽⁶⁾,⁽⁷⁾、神経回路網の動作解明には、従来からの微小電極法による電気生理学的手法⁽⁸⁾では十分といえず、工学的な立場からのシミュレーションが有力な手段となっている⁽⁹⁾⁻⁽¹¹⁾。またこの場合、生体のセンサに相当する受容器細胞では、外界からの物理的・化学的刺激を電気的信号に変換し、更に中枢への情報伝達においては、神経インパルス又はスパイクと呼ばれるパルス列信号に変換し処理されることが明らかとなっている⁽⁸⁾,⁽¹²⁾⁻⁽¹⁴⁾。従って、神経回路網のハードウェア的シミュレーションを実現するためには、パルス列信号を直接的に処理することができ、かつ単純な構成の基本要素が必要となる。

本稿では、このような観点から、計測・制御システムや生体系のシミュレータ等に適用できるパルス列信号の専用処理装置を総称してパルスプロセッサと呼び、その演算回路について検討する。一般的に、パルス列信号の基本的処理要素と

しては、カウンタやシフトレジスタがよく用いられるが、このときカウンタやシフトレジスタには、常に与えられたパルス数のそれらの容量に対する余りが記憶される。そこで、本演算回路は、既に提案した剰余数系に基づくユニバーサル演算モジュール U A M R を拡張して実現を図っている。

2. パルス列信号と剰余数系の概要

ここでは、パルス列信号の定義とその性質及び本演算回路で採用している剰余数系について概説すると共に、簡単なスケーリング（定数による除算）のアルゴリズムを提案する。

< 2.1 パルス列信号の定義とその性質 >

パルス列信号は、通信工学で言うパルス変調信号に他ならない。周知のように、パルス変調はアナログパルス変調（パルスパラメータ変調）とディジタルパルス変調（広義の符合変調）に大別される。前者に含まれる主な信号は、パルス振幅変調信号、パルス位相変調信号、パルス周波数変調信号、及びパルス幅変調信号である。また後者には、パルス数変調信号、定差変調信号及びパルス符合変調信号が含まれる。これらの信号の中で、パルス周波数変調信号、パルス幅変調信号、パルス数変調信号及び定差変調信号は、ある条件のもとで共通した性質を有しており、ここではこれらをパルス列信

号と定義する。すなわち、これらの信号の平均化衝撃係数（単位時間当りのパルス・オンタイムの総和）は、入力情報の大きさに比例するという性質がある。このような意味で、パルス列信号は、パルス密度変調信号と呼ぶことがある。

以上の点に関連して、生体の神経回路網における神経インパルスはパルス周波数変調信号と見なされるが、このような信号が用いられる理由を工学的立場から考察すると、純然たるアナログ信号やディジタル信号（一般には、パルス符合変調信号）と比較し、雑音耐力が大きく高い信頼性を有することが第一に挙げられる。すなわち、パルス列信号における1個のパルスの重みは常に1であり、雑音の混入等によるパルスの増減は、信号の大きさにはほとんど影響しないためと考えられる。

< 2.2 剰余数系の定義 >

剰余数系 (Residue number system) は、ある整数 X をいくつかのモジュラス (Modulus : 基数) でそれぞれ割って得られる剰余の組で表現する数体系であり、本質的に整数に関する数体系である。以下に、その定義を示す⁽¹⁵⁾。

剰余数系における N 個のモジュラスの組 (モジュリ) を、 $m_1, m_2, m_3, \dots, m_N$ とする。このとき整数 X は、以

下の式で表わされる.

$$X = (x_1, x_2, x_3, \dots, x_N) \quad \text{----- (1)}$$

$$x_i = X - [X / m_i] \cdot m_i \quad \text{----- (2)}$$

$$0 \leq x_i < m_i \quad (i = 1, 2, 3, \dots, N)$$

ここに x_i は, X をモジュラス m_i で割ったときの正の最小剰余 (Least positive residue) であり, $|X|_{m_i}$ のように表わすことにする. また, モジュラスとしては互いに素な数の組を用い, (2) 式中の $[\quad]$ はガウス記号である. 剰余数系の桁 (Residue digit) を, 以下では *resit* と呼ぶことにする.

N *resit* の系の表現範囲 M (剰余数コードの数) は, 次式で与えられる.

$$M = \prod_{i=1}^N m_i \quad \text{----- (3)}$$

例えば, モジュラスの組を $(2, 3, 5)$ としたときの表現範囲は, 0 から 29 までとなる. これは, 正数だけを扱った場合であり, ここで $X < M/2$ ならば正数, $X \geq M/2$ ならば負数と定義すると, そのときの X の表現範囲は次式のようになり, -15 から 14 までとなる.

M が奇数の場合:

$$-(M-1)/2 \leq X \leq (M-1)/2 \quad \text{---- (4)}$$

M が偶数の場合:

$$-M/2 \leq X < M/2 \quad \text{----- (5)}$$

なお、この場合の負数表現として、次式で定義される正数 X の加法逆元 (Additive inverse) X' を用いる.

$$X' = M - X \quad \text{または} \quad |X + X'|_M = 0 \quad \text{----- (6)}$$

ここに,

$$X' = (x'_1, x'_2, \dots, x'_N) \quad \text{----- (7)}$$

$$x'_i = m_i - x_i$$

< 2.3 剰余数系の基本演算 >

(1) 加算 / 減算 及び 乗算

剰余数系における加算 / 減算 及び 乗算の記号を $(*)$ と表わすと、次式が成り立つ.

$$A * B = (|A * B|_{m_1}, |A * B|_{m_2}, \dots, |A * B|_{m_N}) \quad \text{----- (8)}$$

モジュラスの組が $(2, 3, 5)$ のときの $4 + 6$ の演算例を次に示す.

$$\begin{aligned} 4 + 6 &= (0, 1, 4) + (0, 0, 1) = (0, 1, 0) \\ &= 10 \end{aligned}$$

このように、剰余数系における各演算は各桁独立に行われ、通常の重み数系にみられるような桁上げは発生しないという特徴がある。すなわち、加算／減算及び乗算は、各桁並列に実行することができるので、演算の高速化が期待できる。

(2) スケーリング

剰余数系は非重み数系であるので、除算のように本質的に桁の重みを問題とする演算は、加算／減算及び乗算に比べて複雑となる。ここでは、後述する演算回路において必要となるスケーリング（定数による除算）について考察する。

いま、被除数を $X = (x_1, x_2, \dots, x_N)$ 、除数を $K = (k_1, k_2, \dots, k_N)$ 、商を $Y = (y_1, y_2, \dots, y_N)$ とする。このとき X が K で割り切れるならば、 Y の各桁の値 y_i は X に K の乗法逆元 (Multiplicative inverse) $\frac{1}{K}$ を乗ずることにより次式で与えられる。

$$y_i = |x_i| \cdot \left| \frac{1}{K} \right|_{m_i} \quad \text{-----} \quad (9)$$

ここに、 K の乗法逆元 $\frac{1}{K}$ は、次のように定義される。

$$|K|_{m_i} \cdot \left| \frac{1}{K} \right|_{m_i} = 1 \quad \text{-----} \quad (10)$$

すなわち、乗法逆元は除数 K （スケーリング定数と呼ぶ）と

のモジュロ積が1となる数のことである。剰余数系はその性質上、整数しか扱うことができないので、もしもXがKで割り切れない場合には、何らかの丸め操作を行う必要がある。

ここでは簡単のため、最初にXをKで割り切れる値に丸め操作を行い〔(11)式〕、次にKの乗法逆元を乗じてスケーリングを行う方法〔(12)式〕を考察する⁽¹⁶⁾。

$$X^{\#} = X - |X|_K \quad \text{-----} \quad (11)$$

$$Y = X^{\#} / K \quad \text{-----} \quad (12)$$

$$y_i = |X^{\#}|_{m_i} \cdot \frac{1}{K} |_{m_i} |_{m_i}$$

ここで、 $X^{\#}$ はXの丸め操作後の値である。(11)式から解るように、丸め操作は被除数XからXのKに対する剰余を減算することによって実現される。以上のアルゴリズムは、パルス列信号の処理のためには都合の良い方法である。

3. 演算回路の構成と動作

< 3.1 基本モジュール >

パルスプロセッサ用演算回路の基本処理要素は、 m_i 進パルスカウンタである。パルスカウンタを用いることによりパルス列信号の処理に必要な基本的機能〔加算、遅延及び係数乗算〕は、次のように実現される。

まず、加算はパルスカウンタのパルス計数機能によって、遅延はパルスカウンタの記憶特性を利用し信号の書込みと読出しに動作ステップ順序を設けることにより実現される。また、係数乗算はパルスカウンタの分周機能と計数機能を併合することによって行われる。図1に、この考え方をもとにした基本モジュールの構成図を示す。これは、 m_i 進カウンタとその読出し回路から成る。

書込み動作時には、入力信号 X_{IN} が m_i 進カウンタに記憶される。読出し動作は、ゲート入力信号 G_{IN} の終了と共に RS フリップフロップ (RS FF) がセットされ、出力ゲート G を開くことによって開始される。このときクロックパルス CLK は出力信号 Y_{OUT} となるが、同時に分周器用カウンタ [$K_j | m_i$ 進カウンタ] に入力される。ここに、 K_j は乗算係数を意味し、分周器出力 X_{CLK} の周波数は、クロックパルス周波数の $1 / |K_j | m_i|$ となる。この分周器出力は m_i 進カウンタにおいて、書込み動作時と同様に計数される。これによって m_i 進カウンタがクリア状態に達すると、その出力は読出し回路の RS フリップフロップをリセットするので、出力信号は消滅し、読出し動作を終了する。この動作の様子を図2のタイミングチャートに示す。

読出し回路

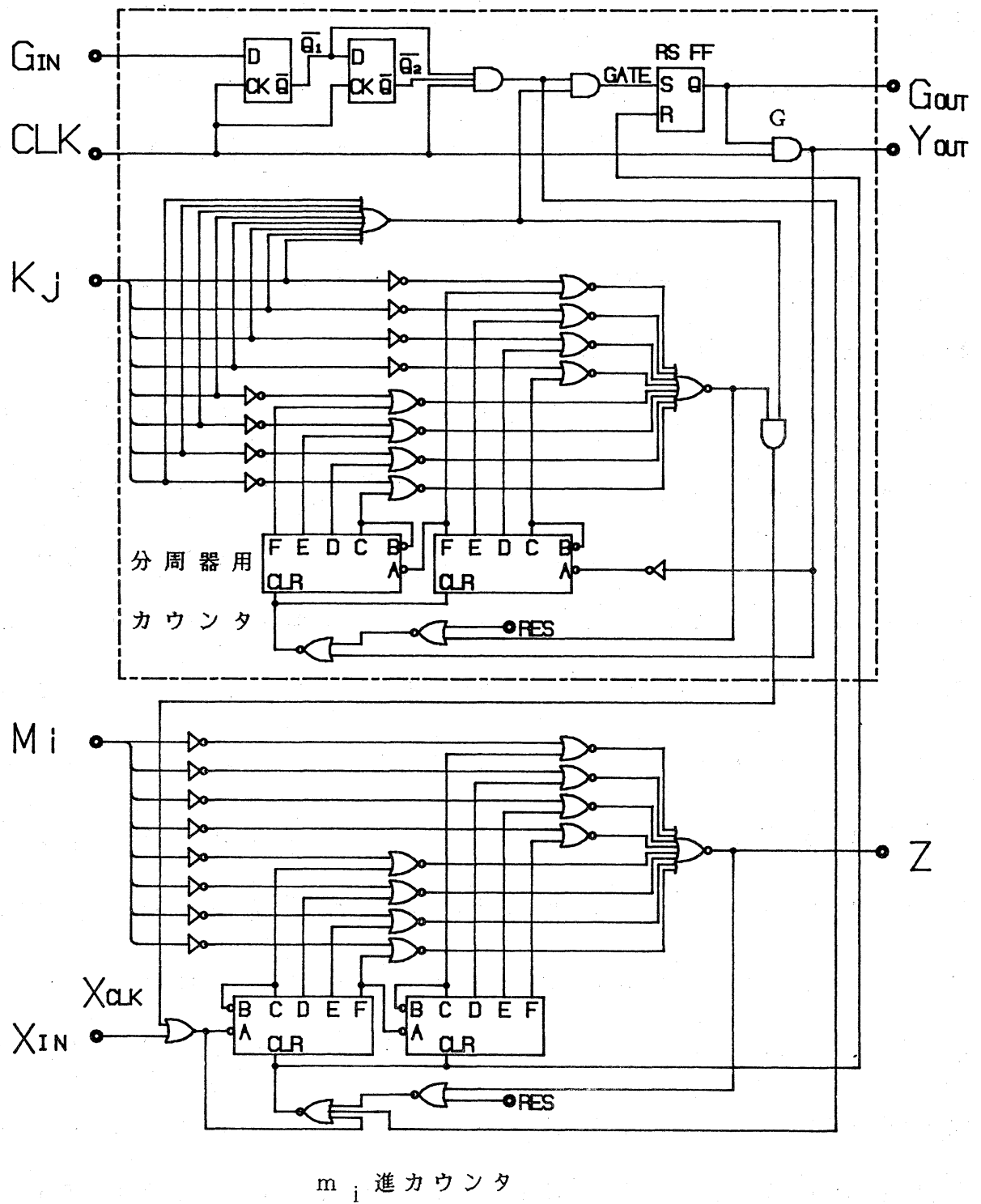
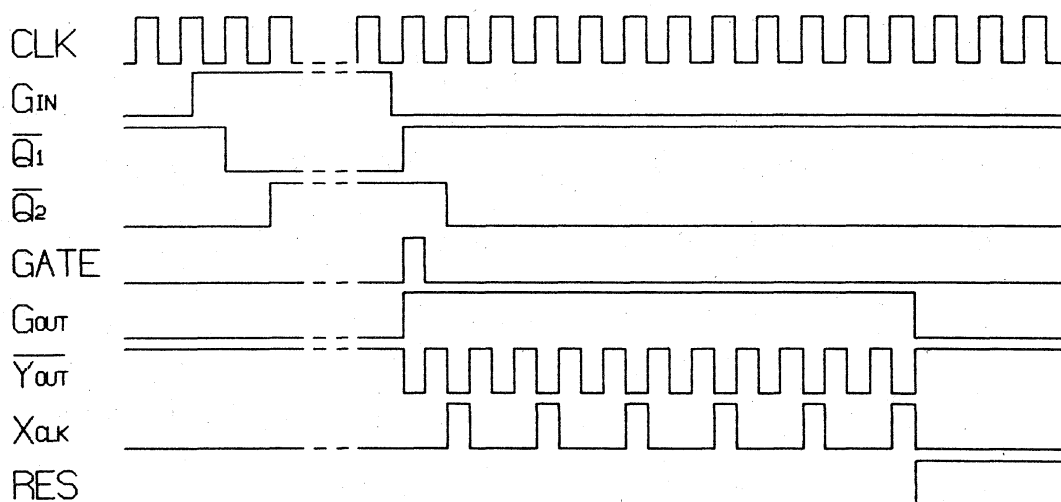


図 1 基本モジュール回路

なお、 m_i 進カウンタと分周器用カウンタは、共に 10 進 2 桁のプログラマブルカウンタであり、その範囲で基数 m_i と乗算係数 K_j を外部から（それぞれ図 1 の M_i 入力と K_j 入力によって）設定することができるようになっている。また、RSFF の出力（ゲート出力信号 G_{OUT} と呼ぶ）は、次の基本モジュールへの制御信号として用いられる。

本基本モジュールの主要部分は、任意の論理回路を実現することができる PLA（Programmable Logic Array）を用いて設計しており、3 個の TTL と 4 個の PLA [LATTICE 社, GAL 16V8] で構成している。



$$X_j = 5, m_i = 11, K_j = 2$$

図 2 基本モジュールのタイミングチャート

< 3.2 演算回路の構成 >

本演算回路は、上述の基本モジュールを構成ブロックとして実現されるが、基本的には L 個の入力 X_1, X_2, \dots, X_L に対し、次式の演算を実行するものを考えている。

$$Y = \sum_{j=1}^L K_j \cdot X_j \quad \text{----- (13)}$$

ただし、説明を容易にするため、入力数 $L = 2$ 、モジュラスの組を $(11, 13, 17)$ 、乗算係数 K_j ：小数点以下1桁までの実数、スケーリング定数 $K = 10$ の具体例を挙げて説明する。この場合の演算回路のブロック図は、図3に示すものとなる。

同図(a)に示すように演算回路は大きく分けて、破線ブロックで示した係数乗算部と加算・スケーリング部に分けられる。係数乗算部の破線ブロック数は、入力数 L に対応している。係数乗算部と加算・スケーリング部の破線ブロックは、基本的に4個の基本モジュール[同図(b)]で構成される。4個のモジュールは、図中の上からモジュラス11, 13, 17, 10の順序で配置している。なお、モジュラス10の基本モジュールは、後述するスケーリング操作を実現するために挿入されている。係数乗算部と加算・スケーリング部の役割と動作について以下に述べる。

加算・スケールリング部

係数乗算部

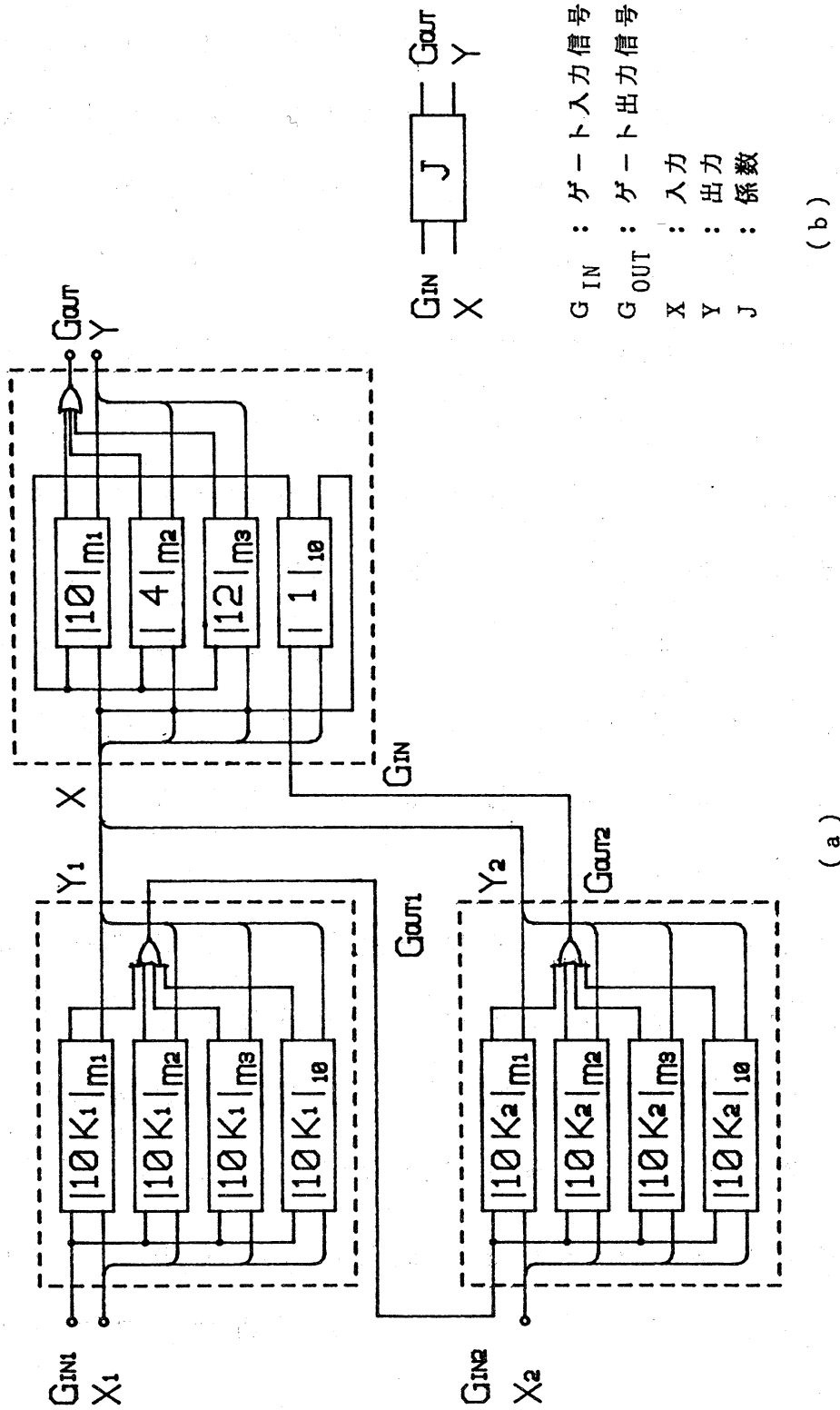


図3 演算回路の構成

(1) 係数乗算部

係数乗算部は、1つの入力に対し4個の基本モジュールと各基本モジュールからのゲート出力信号の論理ORを取る論理ゲートから成る。各基本モジュールでは、おのおのの入力に対し $110 \cdot K_j | m_i$ を掛ける。これは、乗算係数 K_j を前述のように小数点1桁までと設定したので、その整数化を行った後、演算を実行するためである。この演算結果は直ちに加算・スケーリング部へ送られるが、この結果が出力されている間、各基本モジュールのゲート出力信号 G_{OUT} はセット状態となっている。また、ゲート出力信号の論理ORを取り、次に読出しを行う段のゲート入力信号とすることによって、各 $resit$ の出力時間差の影響を取り除いている。

(2) 加算・スケーリング部

加算・スケーリング部の回路構成は、係数乗算部とほとんど同じものであるが、ここでは、係数乗算部の全ブロックからのデータの加算を行った後、スケーリングと結果の出力が行われる。加算の後で、係数乗算部において $110 \cdot K_j | m_i$ を掛けたことに対する補正を行うために、入力データに対し 10 の乗法逆元 $= (10, 4, 12)$ を掛け、スケーリングを実行する。

なお、＜2.3 節＞(11)式に示した丸め操作は、乗算係数が1の基本モジュール（モジュラス＝10）をまず読出し、その出力〔(7)式で示した加法逆元の出力となる〕を他の3つの基本モジュールへ加算することによって実行される。

4. むすび

離散的事象に係わる計測・制御システムや生体系のハードウェア・シミュレータなどに適用することを目的にしたパルス列信号の専用プロセッサ（パルスプロセッサ）について、構成の簡単な演算回路を提案した。更に、本演算回路は剰余数系に基づいたものであるが、剰余数系では一般的に複雑となるスケーリング（定数による除算）について、非常に簡単なアルゴリズムを提案し、またこのアルゴリズムがパルス列信号の演算回路に良く適合することを明らかにした。

本演算回路の基本構成要素は、10進2桁のプログラマブルカウンタであり、計数容量を外部信号によって変化させることができる。これは、剰余数系のモジュラス（基数）を任意に設定できることを意味し、本演算回路はダイナミックレンジを状況に応じて可変にできるという特徴を有している。

パルスプロセッサとしての記憶部は、本演算回路に包含されていると考えられるので、今後はその制御部について検討

し、パルスプロセッサの具体化を図る予定である。

終りに、本稿は第11回多値論理研究ノートをまとめ、修正、加筆をしたもので、同研究会において熱心にご検討下さった会員各位に深く感謝する。また、実験及び資料の作成、整理等に協力頂いた本学情報工学科4年次学生井上昭彦君に感謝する。

参考文献

- (1) W.G.Wolber & K.D.Wise : Sensor Development in the Microcomputer Age, IEEE Trans. on Electron Devices, ED-26, 12, 1864/1874 (1979)
- (2) M.Miura : Signal Processing for Pulse Generating Sensors Utilizing Magnetic Arithmetic Modules, Proceedings of The 3rd Sensor Symposium, 299/302 (1983)
- (3) M.Miura, J.Shida, T.Higuchi, T.Anayama : New Magnetic Scaler Used as Universal Arithmetic Module for Pulse-Train Signal Processing, IEEE Trans. on Magnetics, MAG-13, 5, 1311/1313 (1977)

- (4) 三浦, 千葉, 志田, 樋口: 剰余数系に基づくパルス列
信号処理用磁気演算モジュール, 計測自動制御学会論
文集, 17, 1, 105/110(1981)
- (5) M.Miura :Pulse-Train Signal Processing System
Combined with Universal Arithmetic Modules and
Microcomputer, Proceedings of IECON, 2/2, 1131/
1135 (1984)
- (6) 川人: 米国で活発化する計算論的神経科学研究, 学術月
報, 41, 61/68 (1988)
- (7) 住永, 稲葉: 米国を中心に加速するニューロコンピュ
ータの研究・開発, 日経エレクトロニクス, No.413,
160/170(1987.1.26)
- (8) J.C.Eccles :The understanding of the brain,
McGraw-Hill(1973)
[大村, 小野訳: 脳ーその構造と働きー, 共立出版
(1980)]
- (9) 古賀, 星宮, 松尾: 神経回路網の構成要素としてのハ
ードウェアニューロンモデル, 電子通信学会論文誌C,
63-C, 1, 1/8 (1980)

- (10) 宗像, 田口, 藤井: ニューロン回路網モデルによる中枢制御機能の表現, 電子情報通信学会技術研究報告, BME 87-91(1988)
- (11) 清水, 合原, 信田, 小谷: カオスニューラルネットワークの非線形ダイナミクスⅡ 電子回路モデル, 電子情報通信学会技術研究報告, BME 88-71 (1988)
- (12) 樋渡: 生体情報工学, コロナ社 (1971)
- (13) 南雲編: 生体システム, 日刊工業新聞社 (1976)
- (14) 南雲編: 生体における情報処理, 岩波書店 情報科学24 (1982)
- (15) N.S.Szabo, R.I.Tanaka: Residue Arithmetic and Applications to Computer Technology, McGraw-Hill (1967)
- (16) 三浦, 伊藤, 千葉, 志田: 剰余数系に基づく信号処理用磁気演算回路—スケーリング回路の構成—, 電子通信学会昭和54年情報・システム部門全国大会(220)(1979)